

**Curriculum dell'attività scientifica e didattica  
della Prof.ssa Stefania Perri**

- 1 Titoli di Studio e formazione.**
- 2 Servizi prestati in Atenei ed enti di Ricerca italiani e stranieri**
  - 2.1 Servizio prestato in Atenei italiani
  - 2.2 Servizio prestato in Atenei stranieri
- 3 Attività di ricerca scientifica**
  - 3.1 Argomenti di ricerca
  - 3.2 Pubblicazioni
- 4 Attività didattica**
  - 4.1 Docenza in corsi universitari
  - 4.2 Attività di supporto alla docenza in corsi universitari
- 5 Attività di servizio scientifico**
  - 5.1 Responsabilità di progetti di ricerca nazionali
  - 5.2 Collaborazione a progetti di ricerca internazionali
  - 5.3 Collaborazione a progetti di ricerca nazionali
  - 5.4 Letture invitate
  - 5.5 Chair di sessioni di convegni internazionali
  - 5.6 Attività di referee
  - 5.7 Riconoscimenti e premi
  - 5.8 Attività scientifiche svolte all'estero
- 6 Attività di servizio gestionale**

## **1. Titoli di studio e formazione**

Stefania Perri, nata a Cosenza il 6 Aprile 1971, possiede i seguenti titoli di studio ed abilitazioni:

- Diploma di perito industriale capo tecnico con specializzazione in informatica, conseguito con voti 57/60 presso l'Istituto Tecnico Industriale A. Monaco di Cosenza.
- Laurea in Ingegneria Informatica, conseguita, con voti 107/110, presso l'Università degli Studi della Calabria il 22 Ottobre 1996.
- Abilitazione alla professione di Ingegnere, conseguita il 3 Luglio 1997.
- Titolo di dottore di ricerca in Ingegneria Elettronica, conseguito il 5 Dicembre 2000 presso l'Università degli Studi di Reggio Calabria.

Ha, inoltre, partecipato ai seguenti Corsi:

- Corso di lingua inglese di secondo livello, per dottorandi, tenuto da un lettore di madre lingua presso il DEIS dell'Università degli Studi della Calabria.
- MEDCHIP, corso sulla progettazione di circuiti digitali in tecnologia FPGA, tenuto presso il DEIS dell'Università degli Studi della Calabria nel periodo 20-21 Novembre 1996.
- The National School on Microelectronic Technologies for Electronic Engineering Ph.D Students, tenuto a L'Aquila nel periodo 15-19 Dicembre 1997.
- The Euroconference on: "Advanced Heterostructure Devices for Micro and Optoelectronics III", tenuto a Torino nel periodo 22-28 Giugno 1998.
- International workshop on IP based synthesis and system design, tenuto presso l'Istituto Politecnico di Grenoble nel Dicembre 98.
- Scuola di dottorato GE-2000 del gruppo di Elettronica, tenuta a Parma nel periodo 5-8 Giugno 2000.

## **2. Servizi prestati in Atenei ed Enti di Ricerca italiani e stranieri**

### **2.1 Servizi prestati in Atenei italiani**

Dal 1 Novembre 2010, Stefania Perri è Professore Associato del SSD ING-INF/01 presso l'Università della Calabria, dove ha anche prestato servizio come Ricercatore del SSD ING-INF/01 dal 1 Ottobre 2002 al 31 Ottobre 2010.

Nell'A.A. 96/97 ha prestato servizio come professore a contratto presso l'Università di Reggio Calabria.

Nell'A.A. 2001/2002 ha prestato servizio come professore a contratto presso l'Università degli Studi della Calabria.

Dal 1 Giugno 2001 al 30 Settembre 2002 ha usufruito di un assegno di ricerca presso il Dipartimento di Elettronica, Informatica e Sistemistica dell'Università degli Studi della Calabria. (Settore scientifico-disciplinare: ex K01X / ING-INF/01 - Titolo della ricerca: *Studio di architetture circuitali per il calcolo ad alte prestazioni*).

Stefania Perri ha adempito i seguenti incarichi di collaborazione scientifica:

- “Sviluppo di una descrizione funzionale in VHDL di una unità digitale per il calcolo della divisione”, affidato dal Dipartimento di Elettronica, Informatica e Sistemistica dell’Università degli Studi della Calabria il 11/12/96;
- “Realizzazione di un sistema di interrogazione di basi di dati basato su circoscrizione”, affidato dal Dipartimento di Elettronica, Informatica e Sistemistica dell’Università degli Studi della Calabria il 4/3/97.

## 2.2 Servizi prestati in Atenei stranieri

Dal 1 Ottobre 2005 al 1 Ottobre 2009 Stefania Perri è stata Adjunct Professor presso il Department of Electrical and Computer Engineering della University of Rochester, NY, USA.

Nel periodo Luglio-Agosto 2004 è stata *Visiting Scientist* presso il Department of Electrical and Computer Engineering della University of Rochester, NY, USA.

Nell’anno 2003, in qualità di docente visitatore, ha tenuto un ciclo di lezioni nell’ambito del Corso “VLSI Design Project, ECE 262”, presso la University of Rochester, NY, USA.

## 3. Attività di ricerca scientifica

### 3.1 Argomenti di ricerca

#### **Progetto e realizzazione di circuiti VLSI per operazioni aritmetiche complesse (divisione, radice quadrata)**

Stefania Perri svolge attività di ricerca nel settore dei sistemi integrati digitali, con particolare riguardo alla progettazione di moduli per Digital Signal Processors (*DSPs*) o processori speciali (*SPPs*) ad alta velocità.

Nei suddetti sistemi le prestazioni dei circuiti dedicati al calcolo d’operazioni aritmetiche complesse, quali la divisione, l’estrazione di radice quadrata, ed altre, rivestono particolare importanza. Per garantire velocità di calcolo sufficientemente elevate, sono state adottate varie possibili strategie che partono dall’individuazione d’algoritmi idonei all’implementazione *hardware*, per arrivare alla progettazione d’architetture che impieghino un opportuno grado di parallelismo e la famiglia logica più idonea per la realizzazione VLSI. In quest’ambito sono stati proposti nuovi circuiti aritmetici efficienti, strutturati come *Array Cellulari*, che sono risultati estremamente vantaggiosi dal punto di vista delle prestazioni. Inoltre, grazie alla loro struttura (sono formati da repliche di sottocircuiti relativamente semplici), hanno mostrato di essere particolarmente adatti all’implementazione VLSI. Per scegliere lo stile di progettazione più conveniente per la realizzazione VLSI, sono state prese in considerazione varie famiglie logiche (CMOS statiche e CMOS dinamiche). A questo scopo, è stata messa a punto una nuova metodologia per identificare rapidamente la famiglia logica che consente di raggiungere il miglior compromesso costi-prestazioni. Dagli studi condotti, la logica *Domino* è risultata la più adatta alla realizzazione di un *Array cellulare* per l’estrazione della radice quadrata. E’ stato quindi realizzato un insieme di *Standard Cells* in logica Domino impiegabili per la fabbricazione di un chip di test.

#### **Progetto e realizzazione di circuiti VLSI per l’operazione di somma binaria**

Dal settembre 1999, Stefania Perri è coinvolta in una collaborazione scientifica con l’Idaho State University, Pocatello, USA, nella persona del Prof. Viti Kantabutra. La suddetta collaborazione ha come scopo la progettazione e la realizzazione in tecnologia CMOS di circuiti sommatore che soddisfino sia i requisiti di elevate capacità elaborative sia i vincoli tipici dei sistemi portatili. Com’è noto, in un sommatore le suddette caratteristiche sono legate al metodo di propagare il riporto da una o più cifre binarie alle successive.

Nell’ambito di questa attività di ricerca, è stata esaminata la possibilità di accelerare lo svolgimento dell’operazione di somma mediante metodi non convenzionali. In particolare, nell’esecuzione di operazioni di somma binaria sono stati introdotti nuovi segnali ausiliari denominati “*forze dei riporti*” (carry-strengths).

La nuova metodologia è stata applicata alla realizzazione in Standard Cells e Full-Custom di un nuovo circuito sommatore, per il quale sono state raggiunte le prestazioni tipiche delle strutture “carry-look-ahead” mantenendo la dissipazione di potenza a valori tipici per un sommatore a basso costo, quale il “carry-skip”. La struttura realizzata è stata impiegata in due circuiti VLSI inclusi in un

chip appositamente fabbricato con la tecnologia AMS 0.35um p-sub, 3 metal, 2 poly, 3.3V ed è in fase di brevetto presso "l'U.S. Patent and Trademark Office.

### **Progetto e realizzazione di circuiti integrati asincroni**

Stefania Perri svolge attività di ricerca nel settore dei circuiti digitali asincroni. Lo scopo di questa attività di ricerca è pervenire alla progettazione di circuiti efficienti e non convenzionali impiegabili all'interno di *DSPs* o *SPPs* ad alte capacità computazionali. Il ricorso a circuiti asincroni è giustificato dal fatto che il limite alle prestazioni di un circuito digitale sincrono è dovuto al ritardo di caso peggiore del modulo più lento. L'approccio sincrono obbliga, pertanto, a scegliere la frequenza di *clock* in funzione del tempo di elaborazione che il circuito più lento richiede nel caso peggiore, pur sapendo che la probabilità che il caso peggiore si verifichi è estremamente bassa. I circuiti asincroni, ed in particolare quelli *self-timed*, sono in grado di segnalare il termine della loro elaborazione, consentendo ai circuiti che devono proseguire la computazione di iniziarla non appena possibile.

Seguendo tale approccio ed impiegando prevalentemente logiche CMOS dinamiche, è stato realizzato un circuito addizionale *self-timed* con ritardo medio di pochi ns. Tale addizionale è stato impiegato nella realizzazione di un circuito asincrono per l'estrazione della radice quadrata e di un circuito asincrono riconfigurabile per l'estrazione della radice e per il calcolo della divisione. Anche in questo caso è stato realizzato un insieme di apposite *Standard Cells* per l'implementazione VLSI.

Successivamente, è stato realizzato un addizionale *self-timed* in logica mista (CMOS statica - CMOS dinamica) caratterizzato da un ritardo medio di soli 1.28ns. La topologia a livello di transistor è stata brevettata.

Di recente è stata messa a punto una metodologia di progetto innovativa per i circuiti *self-timed* ad alte prestazioni, grazie alla quale è possibile realizzare tali circuiti impiegando esclusivamente la logica CMOS statica convenzionale. La suddetta metodologia consente di introdurre notevoli semplificazioni nella realizzazione dei layouts di circuiti *self-timed*. Infatti, essa rende possibile l'impiego dei tools normalmente usati per i circuiti sincroni per realizzare il placement ed il routing in maniera completamente automatica. Due circuiti sommatore *self-timed* realizzati mediante la suddetta metodologia sono stati inclusi in un *chip appositamente fabbricato con la tecnologia AMS 0.35um p-sub, 3 metal, 2 poly, 3.3V*.

### **Progetto e realizzazione di circuiti integrati per processori multimediali.**

Ai circuiti integrati che oggi sono considerati di supporto per tutte le applicazioni multimediali è richiesta la proprietà di eseguire operazioni aritmetiche (somma, prodotto, etc.) su dati a diverse precisioni (tipicamente 64-bit, 32-bit, 16-bit ed 8-bit). E' necessario, cioè, che tali circuiti siano riconfigurabili on-demand. Ovviamente, aspirazione del progettista di circuiti integrati per processori multimediali è minimizzare l'influenza della riconfigurabilità su prestazioni e costi.

Stefania Perri svolge attività di ricerca inerente alla progettazione, sia full-custom sia basata su standard-cells, di circuiti aritmetici riconfigurabili per applicazioni multimediali. I risultati ottenuti dimostrano che: 1) contrariamente a quanto sostenuto in passato dai ricercatori del settore, è possibile minimizzare l'influenza della riconfigurabilità su prestazioni e costi anche in sommatore a propagazione di riporto, quali ripple-carry e carry-skip, ottenendo così dei circuiti sommatore riconfigurabili adatti al raggiungimento di alte prestazioni e bassa dissipazione di potenza; 2) è possibile realizzare moltiplicatori a precisione variabile capaci di garantire il massimo grado di parallelismo su tutte le precisioni senza compromettere le prestazioni raggiungibili sulla precisione più alta.

Ottimi risultati sono stati ottenuti anche per circuiti orientati alle applicazioni multimediali su FPGAs. Infatti, sono stati progettati nuovi moltiplicatori a precisione variabile che esibiscono una capacità computazionale estremamente elevata rispetto a preesistenti macro, a fronte di un contenuto incremento di potenza dissipata ed area occupata.

Dal Marzo 2003, Stefania Perri è coinvolta in una collaborazione scientifica con "The University of Rochester", New York, USA, nella persona del Prof. Martin Margala. La suddetta collaborazione ha come scopo la progettazione e la realizzazione di circuiti sommatore a precisione variabile da impiegare efficientemente nei *Processors in memory*.

### **Progetto e realizzazione di circuiti digitali efficienti su FPGA.**

Negli ultimi anni la realizzazione di circuiti riconfigurabili supportati da FPGAs è diventata una promettente alternativa agli ASICs, anche per quanto riguarda sistemi computazionali complessi. Sfortunatamente i circuiti realizzati su FPGAs presentano una grossa limitazione rispetto agli

ASICs: i moduli aritmetici (come sommatore e moltiplicatori) con un elevato numero di bit degli operandi non consentono di ottenere prestazioni molto elevate.

Di recente, però, sono state proposte nuove tecniche per realizzare su FPGA circuiti sommatore e moltiplicatori anche più efficienti delle macro disponibili nelle librerie predefinite delle famiglie di dispositivi FPGAs.

Un opportuno intervento a livello di layout consente di ottenere un guadagno in prestazioni fino al 47%, rispetto alle architetture di somma binaria convenzionalmente utilizzate su FPGA. La principale innovazione consiste nell'impiego della tecnica dei sommatore con by-pass non per eliminare dal path critico dei circuiti un certo numero di porte logiche, ma piuttosto per eliminare da esso le opportune linee di interconnessione. Questa tecnica è stata ideata partendo dalla considerazione che, come largamente noto, le limitazioni in prestazioni dei circuiti realizzati su FPGAs sono principalmente legate ai ritardi di linea e non di logica.

È stata, inoltre, proposta una struttura hardware "ricorsiva" per la progettazione di circuiti moltiplicatori, grazie alla quale è possibile ridurre l'occupazione di area fino al 50% rispetto alle macro moltiplicatori disponibili anche nelle più avanzate famiglie di FPGAs, come la Virtex-4.

Di recente, sono stati anche realizzati efficienti sistemi di calcolo complessi organizzati come Field Programmable Systems on Chip (FPSoCs).

### **Progetto e realizzazione di soluzioni hardware per la sicurezza delle smart cards.**

Attualmente, le smart cards sono prevalentemente impiegate in meccanismi di pagamento, come ad esempio le SIM cards nei telefoni cellulari, le carte di credito o ancora le cards nella pay TV. In futuro, però, le smart cards saranno usate anche per memorizzare informazioni mediche, personali e per controllare l'accesso a computer o ad aree protette (come zone militari). Per questa ragione, il problema di rendere le smart cards altamente sicure ha attratto l'interesse di molti ricercatori.

Purtroppo, le Smart cards sono vulnerabili sia ad attacchi invasivi sia ad attacchi non invasivi. Un attacco invasivo può essere attuato solo mediante la rottura della card, che può così essere completamente esaminata per eseguire il reverse engineering. Tuttavia, questo tipo di attacco richiede un'adeguata e costosa strumentazione insieme al supporto di persone altamente specializzate. Inoltre, esso lascia evidenti segni di violazione. Un attacco non invasivo è assai più pericoloso, perché non lascia alcun segno dell'avvenuta violazione della card. Gli attacchi non invasivi (chiamati anche *side channel attacks* o *passive attacks*) vengono attuati osservando il comportamento della smart cards sia in termini di ritardo che di potenza. Il più potente degli attacchi non invasivi è quello basato sull'analisi in potenza (DPA), che richiede l'osservazione della corrente assorbita dalla smart card durante una sequenza di elaborazioni. Diversi lavori esistenti in letteratura dimostrano come, impiegando la DPA ed una strumentazione anche a basso costo (un semplice oscilloscopio), sia possibile entrare in possesso delle informazioni segrete contenute in una smart card. La corrente assorbita dai circuiti interni alla smart card è, infatti, strettamente correlata ai dati elaborati.

Di recente, in collaborazione con *the University of Rochester* (NY, USA), è stata avviata un'attività di ricerca che ha come obiettivo la progettazione di circuiti VLSI capaci di resistere alla DPA. L'idea principale perseguita in questa attività di ricerca consiste nel realizzare moduli hardware per "l'isolamento" dei circuiti dalla tensione di alimentazione. In particolare, è stato progettato un modulo custom basato sul principio del "charge pumping", con cui, grazie all'impiego di tre fasi di funzionamento, i circuiti all'interno della smart card responsabili di elaborazioni su dati segreti non sono mai direttamente collegati alla rete di alimentazione. I primi risultati ottenuti dimostrano che il metodo proposto rende la corrente assorbita dai circuiti *sicuri* indipendente dai dati elaborati. La metodologia esaminata è in fase di brevetto presso "U.S. Patent and Trademark Office". Inoltre, allo scopo di dimostrare l'efficienza della strategia ideata, è stato fabbricato un chip appositamente progettato con la tecnologia AMS 0.35um p-sub, 4 metal, 2 poly, 3.3V.

### **Definizione di modelli di ausilio alla progettazione di circuiti sotto-soglia; progettazione di circuiti specifici per applicazioni ultra-low-power.**

Impiegare circuiti digitali CMOS capaci di lavorare a tensioni di alimentazione minori della tensione di soglia dei transistori è una tecnica molto diffusa nella progettazione di sistemi ultra-low power. Anche se in passato sono stati proposti diversi strumenti di ausilio alla progettazione e caratterizzazione di tali circuiti, riuscire a stimare con adeguata precisione la loro affidabilità e le loro prestazioni è ancora un problema aperto, perché richiede l'uso di modelli matematici predittivi precisi e semplici. I principali risultati ottenuti nell'ambito di questa linea di ricerca sono i seguenti:

- Sono stati concepiti e validati diversi modelli compatti per la determinazione del ritardo di porte logiche operanti in regime di sottosoglia. Nella definizione dei modelli e nelle

successive validazioni sono stati tenuti in conto gli effetti di variabilità legati al processo di fabbricazione ed alle condizioni operative.

- Sono state, inoltre, concepite delle tecniche di *body-biasing* particolarmente adatte a circuiti *ultra-low-power* per i quali sussistono anche vincoli di velocità computazionale.
- Sono stati progettati circuiti traslatori di livello per sistemi *Multi-Supply-Voltage* caratterizzati da una potenza di quiescenza molto ridotta e una elevata velocità di commutazione.

### **Algoritmi, architetture e circuiti ad alta velocità dedicati al processamento di immagini.**

Il processamento ad alta velocità di immagini digitali rappresenta una delle problematiche più attuali non solo a livello algoritmico, ma anche a livello circuitale. Infatti, tutti i sistemi di image- e video-processing devono essere caratterizzati da elevate velocità di elaborazione e bassa complessità computazionale. Nell'ambito di questa linea di ricerca, l'attività scientifica è stata in primo luogo rivolta alla definizione di nuovi algoritmi orientati all'implementazione hardware. Quest'ultima è stata condotta e portata a termine su diverse piattaforme.

Dal punto di vista algoritmico, i principali risultati ottenuti sono i seguenti:

- definizione e verifica di algoritmi per la compressione di immagini digitali mediante l'uso della trasformata wavelet;

- definizione e verifica di due nuovi metodi per l'estrazione delle informazioni di profondità da immagini stereoscopiche capaci di garantire, rispetto agli algoritmi esistenti, una migliore qualità delle mappe di profondità insieme ad una ridotta complessità computazionale;

- definizione e verifica di due nuovi algoritmi per l'estrazione del foreground da sequenze video; i nuovi metodi assicurano una ridotta complessità computazionale, con un conseguente aumento delle prestazioni di velocità ottenuto insieme ad un miglioramento della qualità del risultato finale, rispetto ai principali metodi noti in letteratura per la sottrazione del background.

Dal punto di vista squisitamente hardware il raggiungimento di alte velocità di calcolo, di una bassa complessità computazionale e di un'elevata qualità del risultato finale è subordinato alla disponibilità di quantità adeguate di risorse di memoria. Per questa ragione, è stato condotto uno studio sulle architetture di memoria esistenti e specifiche per l'elaborazione di immagini e video digitali. Successivamente, sono state progettate e realizzate architetture di memoria innovative implementate in tecnologie logico programmabili di tipo Rad-Tolerant per applicazioni aerospaziali. Tali architetture sono state impiegate in circuiti per la compressione wavelet progettati sia su ASICs che su FPGAs. Le strutture hardware realizzate consentono il raggiungimento di prestazioni idonee ad applicazioni real-time. Una delle architetture hardware progettate per la compressione di immagini è stata inclusa in un *chip appositamente fabbricato con la tecnologia AMS 0.35um p-sub, 3 metal, 2 poly, 3.3V.*

Il sistema progettato per l'elaborazione di immagini stereoscopiche ad alta risoluzione e fisicamente realizzato mediante un unico chip FPGA a basso costo garantisce un *frame-rate* di 97fps.

Per gli algoritmi di identificazione del background e del foreground sono stati realizzati diversi tipi di dimostratori hardware: il primo è basato su una scheda Raspberry Pi che, nel caso di risoluzione pari a 1280x720, consente l'acquisizione di 30 frames al secondo; il secondo è stato realizzato, mediante l'approccio Hardware-Software co-design, come un System On Chip che fa uso di dispositivo XILINX della famiglia Zynq-7000; infine la stessa famiglia di dispositivi è stata impiegata per una progettazione di un circuito dedicato.

### **Progettazione di circuiti per il calcolo binario utilizzando Quantum-Dot Cellular Automata (QCA).**

Quella basata sui QCA è una tecnologia emergente adatta allo sviluppo di circuiti digitali ad elevatissima densità, bassa dissipazione di potenza ed alte prestazioni. Di recente sono state proposte diverse soluzioni circuitali per l'esecuzione efficiente delle operazioni aritmetiche binarie. Tuttavia, la progettazione di circuiti aritmetici binari basati sui QCA presenta ancora diversi punti critici in quanto, molto spesso, i progettisti utilizzano strategie implementative e metodologie progettuali simili a quelle tradizionalmente usate per i circuiti logici CMOS.

Nell'ambito di questa attività di ricerca è stata sviluppata una metodologia progettuale innovativa che sfrutta in modo efficiente l'effettiva capacità computazionale della Majority Gate: la porta logica di base disponibile nella tecnologia QCA insieme all'inverter.

Sono stati progettati sommatore in stile *Carry-look-ahead* e *Brent-Kung* con area attiva ridotta rispetto agli esemplari precedentemente proposti in letteratura.

E' stato progettato un sommatore binario in stile Ripple-Carry che, allo stato attuale, mostra il miglior compromesso area attiva - ritardo. L'esemplare a 64-bit occupa solo  $18\mu\text{m}^2$  ed utilizza solo 36 fasi di clock per completare l'operazione.

E' stata progettata una famiglia di comparatori basati su una nuova formulazione logica, appositamente ideata per i QCA, grazie alla quale è stato possibile raggiungere velocità di elaborazione sensibilmente superiori rispetto agli esemplari esistenti con una notevole riduzione dell'area occupata.

Più recentemente è stata dimostrata una nuova metodologia per la progettazione di multiplexers ad elevato fan-in.

Attualmente, l'interesse è stato rivolto allo sviluppo di strutture circuitali basate sui QCA orientate all'aritmetica decimale BCD.

### 3.2 Pubblicazioni

#### Capitoli di Libri internazionali

[1] V.Kantabutra, **S.Perri**, P.Corsonello, "Tradeoffs in Digital Binary Adder Design: the effects of floorplanning, number of levels of metals, and supply voltage on performance and area", **INVITED CHAPTER** in the book *Layout Optimizations in VLSI Design*, D.Z. Du and B. Lu, Kluwer Academic Publisher, ISBN I-4020-00898, November 2001.

#### Riviste internazionali

[1] P.Corsonello, **S.Perri**, G.Cocorullo, "Efficient VLSI implementation of statistical carry lookahead adder", *IEE Electronics Letters*, Vol.34, n°9, United Kingdom, 1998.

[2] P.Corsonello, **S.Perri**, G.Cocorullo, "New high performance circuit for statistical carry lookahead addition", *International Journal of Electronics*, Vol.86, n°6, United Kingdom, 1999.

[3] G.Cappuccino, G.Cocorullo, P.Corsonello, **S.Perri**, "Educational Design of high performance arithmetic circuits on FPGA", *IEEE Transaction on Education*, Vol.42, n°4, USA, 1999.

[4] P.Corsonello, **S.Perri**, "High performance square rooting circuit using hybrid radix-2 adders", *IEE Electronics Letters*, Vol.35, n°3, United Kingdom, 1999.

[5] P.Corsonello, **S.Perri**, G.Cocorullo, "Hybrid carry-select statistical carry lookahead adder", *IEE Electronics Letters*, Vol.35, n°7, United Kingdom, 1999.

[6] G.Cappuccino, G.Cocorullo, P.Corsonello, **S.Perri**, "High speed self-timed pipelined datapath for square rooting", *IEE Proceedings on Circuits, Devices and Systems*, Vol.146, n°1, United Kingdom, 1999.

[7] G.Cappuccino, G.Cocorullo, P.Corsonello, **S.Perri**, "High speed division and square root modules for asynchronous datapaths", *AMSE Journal*, Vol.73, n°4, France, 2000.

[8] P.Corsonello, **S.Perri**, G.Cocorullo, "High performance mixed-logic asynchronous datapaths with overlapped execution circuits", *International Journal of Electronics*, Vol.87, n°10, United Kingdom, 2000.

[9] P.Corsonello, **S.Perri**, G.Cocorullo, "Area-Time-Power trade-off in cellular arrays VLSI implementations", *IEEE Transaction on VLSI systems*, Vol.8, n°5, USA, 2000.

[10] P.Corsonello, **S.Perri**, G. Cocorullo, "Performance comparison between static and dynamic CMOS logic implementations of a pipelined square-rooting circuit", *IEE Proceedings on Circuits, Devices and Systems*, Vol.147, n°6, United Kingdom, 2000.

[11] V.Kantabutra, P. Corsonello, **S.Perri**, "New VLSI circuits for fast, low-cost binary adders", *NECTEC Journal*, Vol.2, n°8, Thailand, 2000.

- [12] P. Corsonello, **S. Perri**, V. Kantabutra, "Design of 3:1 multiplexer Standard Cell", *IEE Electronics Letters*, Vol.36, n°24, United Kingdom, 2000.
- [13] **S. Perri**, P. Corsonello, G. Cocorullo, "VLSI Circuits for Low-Power High-Speed Asynchronous Addition", *IEEE Transactions On VLSI*, Vol10, n°5, USA, 2002.
- [14] **S. Perri**, P. Corsonello, G. Cocorullo, "64-bit Reconfigurable Adder for Low Power Media Processing", *IEE Electronics Letters*, Vol.38, n°9, United Kingdom, 2002.
- [15] V. Kantabutra, P. Corsonello, **S. Perri**, M.A. Iachino, "Efficient, Practical Adders for FPGAs", *Circuit Cellar*, n°148, USA, November 2002.
- [16] **S.Perri**, P.Corsonello, G.Cocorullo, "A High-Speed Energy-Efficient 64-bit Reconfigurable Binary Adder", *IEEE Transactions On VLSI*, Vol11, n°2, USA, 2003.
- [17] **S. Perri**, P. Corsonello, G. Cocorullo, "An efficient self-timed adder realized using conventional CMOS standard cells", *International Journal of Electronics*, Vol. 90, n°6, United Kingdom, 2003.
- [18] **S. Perri**, P. Corsonello, M.A. Iachino, M. Lanuzza, G. Cocorullo, "Variable precision arithmetic circuits for FPGA-based Multimedia Processors", *IEEE Transactions On VLSI*, Vol.12, n°9, USA, pp. 995-999, 2004.
- [19] **S.Perri**, P.Corsonello, F.Pezzimenti, V.Kantabutra, "Fast and Energy-Efficient Manchester Carry-ByPass Adders", *IEE Proceedings on Circuits, Devices and Systems*, Vol.151, n°6, United Kingdom, 2004.
- [20] P. Corsonello, **S. Perri**, "Efficient Reconfigurable Manchester Adders for Low Power Media Processing", *Journal of Circuits, Systems and Computers*, Vol. 14, No. 1, USA, 2005.
- [21] **S. Perri**, M. Lanuzza, P. Corsonello, G. Cocorullo, "A High-Performance Fully Reconfigurable FPGA-based 2-D Convolution Processor", *Microprocessors and Microsystems*, Vol 29, n°8-9, pp 381-391, 2005.
- [22] P.Corsonello, **S.Perri**, P.Zicari, G.Cocorullo, "Microprocessor-based FPGA implementation of SPIHT image compression subsystems", *Microprocessors and Microsystems*, Vol. 29, n° 6, pp 247-305, 2005.
- [23] P.Corsonello, **S.Perri**, M.Margala, "Efficient Addition Circuits for modular design of Processors-In-Memory", *IEEE Transactions on Circuits and Systems I*, Vol.52, n°8, pp.1557-1567, 2005.
- [24] **S.Perri**, P.Corsonello, G.Cocorullo, "Efficient Recursive Multiply Architecture for FPGAs", *IEE Electronics Letters*, Vol.41, n°24, pp. 1314-1316, 2005.
- [25] P.Corsonello, **S.Perri**, G.Staino, M.Lanuzza, G.Cocorullo, "Low bit rate Image Compression Core for Onboard Space Applications", *IEEE Transactions on Circuits and Systems for Video Technology*, VOL. 16, N°1, USA, 2006.
- [26] **S.Perri**, M.A.Iachino, P.Corsonello, "SIMD multipliers for accelerating embedded processors in FPGAs", *Journal of Circuits, Systems and Computers*, Vol.15, n°4, USA, 2006.
- [27] F.Frustaci, P.Corsonello, **S.Perri**, G. Cocorullo, "Techniques for Leakage Energy Reduction in Deep Submicrometer Cache Memories", *IEEE Transactions On VLSI Systems*, Vol.14, n°11, 2006.
- [28] **S.Perri**, P.Corsonello: "VLSI Implementations of Efficient Isotropic Flexible 2D Convolvers", *IET Circuits, Devices & Systems*, Vol.1, n°4, 2007.



- [29] Zicari P., Corsonello P., **Perri S.**, Cocorullo G., "A Matrix Product Accelerator for Field Programmable Systems on Chip". *Microprocessors and Microsystems*, Vol.32, n°2, 2008.
- [30] P. Zicari, E. Sciagura, **S. Perri**, P. Corsonello, "A Programmable Carrier-Phase Independent Symbol Timing Recovery Circuit for QPSK/OQPSK Signals", *Microprocessors and Microsystems*, Vol.32, n°8, 2008.
- [31] F.Frustaci, P.Corsonello, **S.Perri**, G.Cocorullo, "High-performance noise-tolerant circuit techniques for CMOS dynamic logic", *IET Circuits, Devices & Systems*, Vol.2, n°6, 2008.
- [32] **S.Perri**, P.Corsonello, "Fast low-cost implementation of single clock cycle binary comparator", *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol.55, n°12, 2008.
- [33] F.Frustaci, M.Lanuzza, P.Zicari, **S.Perri**, P.Corsonello, "Designing high-speed adders in power-constrained environments", *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol.56, n°2, 2009.
- [34] S. Purohit, M. Lanuzza, **S. Perri**, P. Corsonello, M.Margala, "Design and Evaluation of an Energy-Delay-Area Efficient Datapath for Coarse-Grain Reconfigurable Computing Systems", *Journal of Low Power Electronics*, Vol.5, n°3, 2009.
- [35] F.Frustaci, M. Lanuzza, P. Zicari, **S. Perri**, P. Corsonello, "Low-Power Split-Path Data-Driven Dynamic Logic (SPD3L)", *IET Circuits, Devices and Systems*, Vol.3, n°6, 2009.
- [36] M.Lanuzza, P.Zicari, F.Frustaci, **S.Perri**, P.Corsonello, "Exploiting Self-Reconfiguration Capability to Improve SRAM-based FPGA Robustness in Space and Avionics Applications", *ACM Transactions on Reconfigurable Technology and Systems*, Vol.4, n°1, 2010.
- [37] **S.Perri**, P.Corsonello, "Efficient Memory Architecture for Image Processing", *International Journal of Circuit Theory and Applications*, Vol.39, n°3, 2011.
- [38] **S.Perri**, P.Corsonello, "Fast Squarer Circuits Using 3-Bit-Scan Without Overlapping Bits", in stampa su *International Journal of Circuit Theory and Applications*, Vol. 39, n°19, 2011.
- [39] M.Lanuzza, F.Frustaci, **S.Perri**, P.Corsonello, "Design of Energy aware Adder Circuits Considering Random Intra-Die Processing Variations", *Journal of Low Power Electronics and Applications*, Special issue: Selected topics in low power design - From circuits to Applications, Vol.1, n°1, 2011.
- [40] F.Frustaci, **S.Perri**, M.Lanuzza, P.Corsonello, "Energy-Efficient single clock cycle binary comparator", *International Journal of Circuit Theory and Applications*, Vol.40, n°3, 2012.
- [41] P.Zicari, **S.Perri**, P.Corsonello, G.Cocorullo, "Low-cost FPGA stereo vision system for real time disparity maps calculation", *Microprocessors and Microsystems*, Vol.36, n°4, 2012.
- [42] F.Frustaci, P.Corsonello, **S.Perri**, "Analytical delay model considering variability effects in subthreshold domain", *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol.59, n°3, 2012.
- [43] M.Lanuzza, R.De Rose, F.Frustaci, **S.Perri**, P.Corsonello, "Comparative Analysis of Yield Optimised Pulsed Flip-Flops", *Microelectronics Reliability*, Vol.52, n°8, 2012.
- [44] **S. Perri**, P.Corsonello, "New methodology for the design of efficient binary addition circuits in QCA", *IEEE Trans. on Nanotechnology*, Vol.11, n°6, 2012.
- [45] M. Lanuzza, P.Corsonello, **S.Perri**, "Low-Power Level Shifter for Multi-Supply Voltage Designs", *IEEE Trans. on Circuits and Systems II: Express Briefs*, Vol.59, n°12, 2012.

- [46] **S. Perri**, P. Corsonello, G. Cocorullo, "Adaptive Census transform: A novel hardware-oriented stereovision algorithm", *Computer Vision and Image Understanding*, Vol.117, n°1, 2013.
- [47] P. Corsonello, M. Lanuzza, **S. Perri**, "Gate-level body biasing technique for high-speed sub-threshold CMOS logic gates", *International Journal of Circuit Theory and Applications*, Vol.42, n°1, 2014.
- [44] F. Frustaci, M. Lanuzza, **S. Perri**, P. Corsonello, "Analyzing noise-robustness of wide fan-in dynamic logic gates under process variations", *International Journal of Circuit Theory and Applications*, Vol.42, n°5, 2014.
- [49] **S. Perri**, M. Lanuzza, P. Corsonello, "Design of High-Speed Low-Power Parallel-prefix adder trees in nanometer technologies", *International Journal of Circuit Theory and Applications*, Vol.42, n°7, 2014.
- [50] **S. Perri**, P. Corsonello, G. Cocorullo, "Area-Delay Efficient Binary Adders in QCA", *IEEE Transactions On VLSI Systems*, Vol.22, n°5, 2014.
- [51] P. Corsonello, F. Frustaci, M. Lanuzza, **S. Perri**, "Over/undershooting effects in accurate buffer delay model for sub-threshold domain", *IEEE Transactions on Circuits and Systems-I*, Vol.61, n°5, 2014.
- [52] **S. Perri**, P. Corsonello, G. Cocorullo, "Design of efficient binary comparators in Quantum-Dot Cellular Automata", *IEEE Transactions on Nanotechnology*, Vol.13, n°2, 2014.
- [53] M. Lanuzza, P. Corsonello, **S. Perri**, "Fast and Wide Range Voltage Conversion in Multi-Supply Voltage Designs", *IEEE Transactions on VLSI Systems*, Vol.23, n°2, 2015
- [54] P. Corsonello, F. Frustaci, **S. Perri**, "Low Leakage SRAM Wordline Drivers for the 28nm UTBB FDSOI Technology" *IEEE Transactions on VLSI Systems*, Vol.23, n°12, 2015.
- [55] P. Corsonello, F. Frustaci, **S. Perri**, "Power Supply Noise in Accurate Delay Model for the Sub-threshold Domain", *Integration, The VLSI Journal*, Vol.50, 2015.
- [56] G. Cocorullo, P. Corsonello, F. Frustaci, **S. Perri**, "Design of Efficient QCA Multiplexers" *International Journal of Circuit Theory and Applications*, Vol.44, n°3, 2016.
- [57] G. Cocorullo, P. Corsonello, F. Frustaci, **S. Perri**, "An Efficient Hardware-Oriented Stereo Matching Algorithm", *Microprocessors and Microsystems*, Vol.46, n°10, 2016.
- [58] G. Cocorullo, P. Corsonello, F. Frustaci, **S. Perri**, "Design of Efficient BCD adders in Quantum Dot Cellular Automata", *IEEE Transactions on Circuits and Systems II*, vol.64, n°5, 2017
- [59] G. Cocorullo, P. Corsonello, F. Frustaci, Guachi-Guachi, L.-D.-L.-A., **S. Perri**, "Multimodal background subtraction for high-performance embedded systems", *Journal of Real-Time Image Processing*, in press, DOI: 10.1007/s11554-016-0651-6
- [60] S. Perri, F. Frustaci, F. Spagnolo, P. Corsonello, "Stereo vision architecture for heterogeneous systems-on-chip", *Journal of Real-Time Image Processing*, in press, DOI: 10.1007/s11554-018-0782-z

### **Contributi in Volumi a diffusione internazionale.**

- [1] P. Corsonello, **S. Perri**, G. Cocorullo, "VLSI Implementation of a Low-Power High-Speed Self-Timed Adder", *Lecture Notes in Computer Science*, Vol.1918, 2000.
- [2] P. Corsonello, **S. Perri**, M.A. Iachino, G. Cocorullo, "Variable Precision multipliers for FPGA-based Reconfigurable Systems", *Lecture Notes in Computer Science*, Vol. 2778, 2003.

[3] **S.Perri**, P.Corsonello, G.Cocorullo, "Fast Low-Power 64-bit Modular Hybrid Adder", *Lecture Notes in Computer Science*, Vol.3728, 2005.

[4] M.Lanuza, **S.Perri**, P. Corsonello: "MORA: A New Coarse-Grain Reconfigurable Array for High Throughput Multimedia Processing", *Lecture Notes in Computer Science*, Vol.4599, 2007.

[5] F.Frustaci, **S.Perri**, P.Corsonello, G.Cocorullo, "A New Dynamic Logic Circuit Design for an Effective Trade-off between Noise -Immunity, Performance and Energy Dissipation", *Lecture Notes in Computer Science*, Vol.5349, 2008.

[6] M.Lanuza, **S.Perri**, P.Corsonello, M.Margala, "Energy Efficient Coarse-Grain Reconfigurable Array for Accelerating Digital Signal Processing", *Lecture Notes in Computer Science*, Vol.5349, 2008.

[7] M.Lanuza, P.Zicari, F.Frustaci, **S.Perri**, P.Corsonello, "An Efficient and Low-Cost Design Methodology to Improve SRAM-based FPGA Robustness in Space and Avionics Applications", *Lecture Notes in Computer Science*, Vol.5453, 2009.

[8] M.Lanuza, R.De Rose, F.Frustaci, S.Perri, P.Corsonello, "Impact of process variations on pushed flip-flops: Yield improving circuit-level techniques and comparative analysis", *Lecture Notes in Computer Science*, Vol. 6448, 2011.

### **Congressi Internazionali.**

[1] P.Corsonello, **S.Perri**, G.Cocorullo, "A 56-bit self-timed adder for high speed asynchronous datapaths", *Proceedings of the IEEE international Conference, ICECS99*, Pafos (Cyprus), Settembre 1999.

[2] V.Kantabutra, P.Corsonello, **S.Perri**, "Fast, low-cost adders using carry-strength signals", INVITED PAPER, *SSGRR 2000 Computer&Business Conference*, L'Aquila, Luglio 2000.

[3] **S.Perri**, P.Corsonello, G.Cocorullo, "Designing high-speed asynchronous pipelines" *Proceedings of the IEEE international Conference, Digital System Design-Euromicro 2000*, Maastricht, The Netherland, Settembre 2000.

[4] P.Corsonello, V.Kantabutra, **S.Perri**, "A New Type of Fast, Low Cost Binary Adder", *Proceedings of the first OSEE Conference*, 2000.

[5] **S.Perri**, P.Corsonello, G.Cocorullo, G.Cappuccino, G.Staino, "VLSI Implementation of a Fully Static CMOS 56-bit Self-Timed Adder Using Overlapped Execution Circuits", *Proceedings of the IEEE international Conference, ICECS01*, Malta, Settembre 2001.

[6] G.Cappuccino, P.Corsonello, G.Cocorullo, **S.Perri**, G.Staino, "Dynamic Power of CMOS Gates Driving Lossy Transmission Lines", *Proceedings of the IEEE international Conference, ICECS01*, Malta, Settembre 2001.

[7] G.Cappuccino, G.Cocorullo, P.Corsonello, **S.Perri**, G.Staino, "Custom Computing Reconfigurable Machine for High Performance Cellular Automata Processing", *Proceedings of the second OSEE Conference*, 2001.

[8] **S.Perri**, M.A.Iachino, P.Corsonello, "Speed-Efficient Wide Adders for Virtex FPGAs", *Proceedings of the IEEE International Conference, ICECS02*, Croatia, Settembre 2002.

[9] **S.Perri**, M.Lanuza, P.Corsonello, G.Cocorullo, "Fully-Synthesizable Reconfigurable Multiplier for High-Performance Multimedia Processors", *Proceedings of GSP International Signal Processing Conference*, Dallas (USA), Aprile 2003.

- [10] **S.Perri**, M.Lanuzza, P.Corsonello, G.Cocorullo, "SIMD 2-D Convolver for Fast FPGA-based Image and Video Processors", *Proceedings of the Military and Aerospace Programmable Logic Devices (MAPLD) International Conference*, September 2003, Washington, USA.
- [11] **S.Perri**, P.Corsonello, G.Staino, "A Low-Power Sub-Nanosecond Standard-Cells Based Adder", *Proceedings of the IEEE international Conference, ICECS03*, Emirati Arabi, Dicembre 2003.
- [12] P. Corsonello, **S. Perri**, V. Kantabutra, "Area- and Power-reduced Standard-Cell Spanning Tree Adders", *Proceedings of the International Conference VLSI'04*, Las Vegas, Nevada (USA), Giugno 2004.
- [13] **S.Perri**, P.Zicari, P.Corsonello, "A high flexible 8-bit and 16-bit SIMD soft microcontroller for FPGAs", *Proceedings of the IEEE international conference ICSES'04*, Poznan, Poland, Settembre 2004.
- [14] P.Corsonello, **S.Perri**, P.Zicari, G.Cocorullo, "A FPSoC for wavelet-based image compression", *Proceedings of the IEEE international conference ICSES'04*, Poznan, Poland, Settembre 2004.
- [15] **S.Perri**, F.Frustaci, P.Corsonello, "Accurate Power Estimation Model for CMOS Adders Optimization", *Proceedings of the IEEE international conference ICSES'04*, Poznan, Poland, Settembre 2004.
- [16] P.Corsonello, **S.Perri**, P.Zicari, "A Matrix Product Coprocessor for FPGA embedded soft processors", *Proceedings of the the 7-th International Symposium on Signals, Circuits and Systems ISSCS 2005*, Romania, Luglio 2005.
- [17] M.Lanuzza, **S.Perri**, M.Margala, P.Corsonello, "Low-Cost Fully Reconfigurable Data-Path for FPGA-Based Multimedia Processor", *Proceedings of the 15th International Conference on Field Programmable Logic and Applications FPL2005*, Tampere, Finland, Agosto 2005.
- [18] P.Zicari, **S.Perri**, P.Corsonello, G.Cocorullo, "An optimized Adder Accumulator for high speed MACs", *Proceedings of the International Conference on ASIC*, Shanghai, China, Ottobre 2005.
- [19] P.Corsonello, **S.Perri**, M.Margala, "A new charge-pump based countermeasure against differential power analysis", *Proceedings of the International Conference on ASIC*, Shanghai, China, Ottobre 2005.
- [20] M. Lanuzza, **S.Perri**, P. Corsonello, G.Cocorullo, "An efficient wavelet image encoder for FPGA-based design" *Proceedings of the IEEE Workshop on Signal Processing Systems*, Athens (Grecia), Novembre 2005.
- [21] P. Corsonello, **S. Perri**, M. Margala, "An Integrated Countermeasure against Differential Power Analysis for Secure Smart-Cards" *Proceedings of IEEE Conference, ISCAS'06*, Kos Island, Grecia, Maggio 2006.
- [22] F. Frustaci, P. Corsonello, **S.Perri**, G.Cocorullo, "Leakage Energy Reduction Techniques in Deep Submicron Cache Memories: A Comparative Study" *Proceedings of IEEE Conference, ISCAS'06*, Kos Island, Grecia, Maggio 2006.
- [23] F. Frustaci, P. Corsonello, **S.Perri**, G.Cocorullo, "A new scheme to reduce leakage in deep-submicron cache memories with no extra dynamic consumption " *Proceedings of IEEE Conference, PRIME'06*, Otranto, Italy, Giugno 2006
- [24] P.Zicari, P.Corsonello, **S.Perri**, "A high flexible Early-Late Gate Bit Synchronizer in FPGA-Based Software Defined Radios" *Proceedings of IEEE Conference, ICCSC'06*, Bucharest, Romania, Luglio 2006.

- [25] P. Zicari, P. Corsonello, **S.Perri**, "An Efficient Bit-Detection and Timing Recovery Circuit for FPGAs" *Proceedings of IEEE Conference, ICECS'06*, Nice (France), Dicembre 2006
- [26] **S.Perri**, D. Colonna, P. Zicari, P. Corsonello, "SAD-Based Stereo Matching Circuit for FPGAs" *Proceedings of IEEE Conference, ICECS'06*, Nice (France), Dicembre 2006.
- [27] **S.Perri**, D. Colonna, P. Zicari, P. Corsonello, "Flexible Hardware for Area-Based Stereo Matching" *Proceedings of IEEE Conference, VIP 2006*, Beijing (China), Novembre 2006.
- [28] M. Lanuzza, **S. Perri**, P. Corsonello, M. Margala: "A New Reconfigurable Coarse-Grain Architecture for Multimedia Applications", *Proceedings of the IEEE NASA/ESA Conference on Adaptive Hardware and Systems*, (AHS 2007), August 2007, invited paper.
- [29] E.Sciagura, P. Zicari, **S.Perri**, P. Corsonello: "An efficient and optimized FPGA Feedback M-PSK Symbol Timing Recovery Architecture based on Gardner Timing Error Detector", *Proceedings of IEEE EUROMICRO Conference on Digital System Design*, Lubeck (Germania), Agosto 2007.
- [30] P. Corsonello, **S. Perri**, G. Staino, M. Lanuzza, G. Cocorullo: "Design and Implementation of a 90nm low bit-rate image compression core", *Proceedings of IEEE EUROMICRO Conference on Digital System Design*, Lubeck (Germania), Agosto 2007.
- [31] **S.Perri**, G.Staino, P.Corsonello, "Parallel multipliers using 3-bit-scan without overlapping bits, Proceedings of the IEEE International Conference on Signal Processing & Communication (ICSPC 2007), Dubai (Emirati Arabi), Novembre 2007.
- [32] **S.Perri**, D.Colonna, P.Corsonello, "Efficient Parallel Circuits for Census Transform", Proceedings of the International e-Conference on Computer Science (IeCCS) 2007.
- [33] G.Cocorullo, P.Corsonello, M. De Nino, M.Lanuzza, **S.Perri**, G.Staino, "Design and Implementation of a Low bit-rate On-Board Satellite Wavelet-based Compression Core", Proceedings of the On-Board Payload Data Compression Workshop (OBPDC 2008), Noordwijk (The Netherlands), June 2008.
- [34] P.Zicari, P.Corsonello, **S.Perri**, "A high flexible Early-Late Gate bit synchronizer in FPGA-based software defined radios", Proceedings of the European Conference on Circuits and Systems for Communications (ECCSC 2008), Bucharest (Romania), Luglio 2008.
- [35] S.Purhoit, M.Lanuzza, **S.Perri**, P.Corsonello, M.Margala, "Design-Space Exploration of Energy-Delay-Area Efficient Coarse-Grain Reconfigurable Datapath", Proceedings of the International Conference on VLSI design, New Delhi (India), Gennaio 2009.
- [36] F.Frustaci, **S.Perri**, M.Lanuzza, P.Corsonello, "A new low-power high-speed single-clock-cycle binary comparator", *IEEE International Symposium on Circuits and Systems, ISCAS 2010*, Parigi.
- [37] **S.Perri**, P.Zicari, P.Corsonello, "Efficient Absolute Difference Circuits in Virtex-5 FPGAs", IEEE Mediterranean Electrotechnical Conference, Malta, Aprile 2010.
- [38] P.Zicari, **S.Perri**, "A Fast Carry Chain Adder for Virtex-5 FPGAs", IEEE Mediterranean Electrotechnical Conference, Malta, Aprile 2010.
- [39] M.Lanuzza, P.Zicari, **S.Perri**, F.Frustaci, P.Corsonello, "A self-hosting configuration management system to mitigate the impact of radiation-induced multi-bit upsets in SRAM-based FPGAs", IEEE International Symposium on Industrial Electronics, Bari, Italia, Luglio 2010.
- [40] **S.Perri**, P.Corsonello, G.Cocorullo, "VLSI Circuits for Accurate Motion Estimation", IEEE Conference on Advances in Circuits, Electronics and Micro-electronics, Venezia, Italia, Luglio 2010.

[41] M.Lanuzza, P.Corsonello, F.Frustaci, **S.Perri**, "Impact of Process Variations on Flip-Flops Energy and Timing Characteristics" IEEE Annual Symposium on VLSI, Kefalonia, Grecia, Luglio 2010.

[42] **S.Perri**, P.Corsonello, "Efficient Implementations of Radix-4 Parallel-Prefix Trees", The Fourth International Conference on Advances in Circuits, Electronics and Micro-electronics, Nice, France, Agosto 2011.

[43] L.Guachi, G.Cocorullo, P.Corsonello, F.Frustaci, **S.Perri**, "A novel background subtraction method based on color invariants and grayscale levels", IEEE Annual International Carnahan Conference on Security Technology, Rome, Italy, October 2014.

[44] P. Corsonello, F. Frustaci **S. Perri**, "Exploring Well Configurations for Voltage Level Converter Design in 28nm UTBB FDSOI technology", IEEE International Conference on Computer Design (ICCD); New York City, USA, October 2015.

[45] G. Cocorullo, P. Corsonello, F. Frustaci, L. Guachi, **S. Perri**, "Embedded Surveillance System Using Background Subtraction and Raspberry PI", *AEIT Annual International Conference*, Naples, Italy, October 2015.

[46] P.Corsonello, F.Frustaci, **S.Perri**, "A Layout Strategy for Low-Power Voltage Level Shifters in 28nm UTBB FDSOI Technology", *AEIT Annual International Conference*, Naples, Italy, October 2015.

[47] L.Guachi, G.Cocorullo, P.Corsonello, F.Frustaci, **S.Perri**, "Color Invariant Study for Background Subtraction", Proceedings of IEEE Conference on Advances in Circuits, Electronics and Micro-electronics, CENICS 2016, Nice, France, July 2016.

[48] F.G.Della Corte, G.Cocorullo, P.Corsonello, C.Felini, M.Merenda, **S.Perri**, G.Borelli, M.Carpanelli, D.Verdilio, "A microchip integrated wireless sensor for the monitoring of high concentration photo-voltaic solar cells", Proceedings of EUROSENSORS 2016, Budapest, Hungary, September 2016.

[49] F.Spagnolo, **S.Perri**, P.Corsonello, "Evaluating Heterogeneous Architectures based on Zynq AP SOC for Real-Time Video Processing", *International Conference on Advances in Circuits, Electronics and Micro-electronics* (CENICS 2017), Rome, September 2017.

### **Brevetti internazionali**

[1] V. Kantabutra, P. Corsonello, **S. Perri**, "Adders and adder bit blocks having an internal propagation characteristic independent of a carry input to the bit block and methods for using the same", N° deposito USPTO US 2002/0091744A1, July 11, 2002; N° brevetto US007016932B2, March 21, 2006.

[2] P. CORSONELLO, **S. PERRI**, M. MARGALA, "Charge Pump Based System for Secure Smart-Card Design", N° deposito WO2006/076591A2; N° Brevetto PCT/US2006/001267, July 20, 2006.

### **Brevetti nazionali**

[1] G.Cocorullo, P.Corsonello, **S.Perri**, "Circuito integrato digitale per operazioni di somma binaria in sistemi asincroni ad alta velocità", CCIAA Cosenza, UPICA n° 5836, 22 Dicembre 1998.

### **Rapporti Tecnici**

[1] G.Cappuccino, G.Cocorullo, P.Corsonello, **S.Perri**, "Un circuito per il calcolo della radice quadrata basato sull'algoritmo SRT", Rapp. Int., IRECE-CNR, Napoli, 1996.

[2] G.Cappuccino, G.Cocorullo, P.Corsonello, **S.Perri**, "Interfaccia per Bus ISA dedicata allo sviluppo ed al testing di FPGA", Rapp. Int., IRECE-CNR, Napoli, 1997.

[3] M.A. Iachino, F. Pirrello, **S. Perri**, P. Corsonello, "Moltiplicatore riconfigurabile 32bx32b basato su macro Xilinx", Rapp. Int., Dipartimento di Informatica Matematica Elettronica e Trasporti dell'Università degli Studi di Reggio Calabria, QD-SS 01/03, 2003.

[4] M.A. Iachino, **S. Perri**, P. Corsonello, "Moltiplicatore riconfigurabile 16bx16b su FPGA Xilinx", Rapp. Int., Dipartimento di Informatica Matematica Elettronica e Trasporti dell'Università degli Studi di Reggio Calabria, QD-SS 02/03, 2003.

#### **4. Attività didattica**

##### **4.1 Docenza in corsi universitari**

Dal 1996, Stefania Perri è o è stata docente responsabile di diversi insegnamenti di corsi di Laurea in Ingegneria.

- Nell'A.A. 17-18 è docente degli insegnamenti di "*Elettronica digitale*", del corso di Laurea Triennale in Ingegneria Informatica, e di "*Progettazione di Sistemi Digitali*", del corso di Laurea Magistrale in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 16-17 è docente degli insegnamenti di "*Elettronica digitale*", del corso di Laurea Triennale in Ingegneria Informatica, e di "*Elettronica Digitale II*", del corso di Laurea Magistrale in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 15-16 è docente degli insegnamenti di "*Elettronica digitale*", del corso di Laurea Triennale in Ingegneria Informatica, e di "*Elettronica Digitale II*", del corso di Laurea Magistrale in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 14-15 è stata docente degli insegnamenti di "*Elettronica digitale*", del corso di Laurea Triennale in Ingegneria Informatica, e di "*Complementi di elettronica digitale*", del corso di Laurea Magistrale in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 12-13 è stata docente degli insegnamenti di "*Elettronica digitale*", del corso di Laurea Triennale in Ingegneria Informatica, e di "*Complementi di elettronica digitale*", del corso di Laurea Magistrale in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 11-12 è stata docente degli insegnamenti di "*Elettronica digitale*", del corso di Laurea Triennale in Ingegneria Informatica, e di "*Complementi di elettronica digitale*", del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 10-11 è stata docente degli insegnamenti di "*Elettronica digitale*", del corso di Laurea Triennale in Ingegneria Informatica, e di "*Complementi di elettronica digitale*", del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 09-10 è stata docente degli insegnamenti di "*Elettronica per i sistemi divisione*", del corso di Laurea Specialistica in Ingegneria Elettronica, e di "*Progettazione VLSI*", del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 08-09 è stata docente degli insegnamenti di "*Elettronica per i sistemi divisione*", del corso di Laurea Specialistica in Ingegneria Elettronica, e di "*Progettazione VLSI*", del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 07-08 è stata docente degli insegnamenti di "*Elettronica digitale II*", del corso di Laurea Triennale in Ingegneria Elettronica, di "*Elettronica per i sistemi divisione*", del corso di

Laurea Specialistica in Ingegneria Elettronica, di *“Progettazione VLSI”*, del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.

- Nell'A.A. 06-07 è stata docente degli insegnamenti di *“Elettronica digitale II”*, del corso di Laurea Triennale in Ingegneria Elettronica, di *“Elettronica per i sistemi divisione”*, del corso di Laurea Specialistica in Ingegneria Elettronica, di *“Progettazione VLSI”*, del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria, e di *“Sistemi Microelettronici per l'elaborazione di immagini”*, del corso di Dottorato di Ricerca in Ingegneria Elettronica, presso l'Università degli Studi di Reggio Calabria.
- Nell'A.A. 05-06 è stata docente degli insegnamenti di *“Elettronica digitale II”*, del corso di Laurea Triennale in Ingegneria Elettronica, di *“Elettronica per i sistemi divisione”*, del corso di Laurea Specialistica in Ingegneria Elettronica, di *“Progettazione VLSI”*, del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria, e di *“Microelettronica digitale avanzata”* del corso di Dottorato di Ricerca in Ingegneria Elettronica presso l'Università degli Studi di Reggio Calabria.
- Nell'A.A. 04-05 è stata docente degli insegnamenti di *“Progetto di Elettronica Digitale”*, del corso di Laurea Triennale in Ingegneria Elettronica, di *“Elettronica digitale II”*, del corso di Laurea Triennale in Ingegneria Elettronica, di *“Progettazione VLSI”*, del corso di Laurea Specialistica in Ingegneria Elettronica, presso l'Università degli Studi della Calabria, e di *“Microelettronica digitale avanzata”* del corso di Dottorato di Ricerca in Ingegneria Elettronica, presso l'Università degli Studi di Reggio Calabria.
- Nell'A.A. 03-04 è stata docente degli insegnamenti di *“Progetto di Elettronica Digitale”*, del corso di Laurea Triennale in Ingegneria Elettronica, e di *“Elettronica digitale II”*, del corso di Laurea Triennale in Ingegneria Elettronica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 02-03 è stata docente degli insegnamenti di *“Elettronica dei sistemi digitali”*, del corso di Laurea (vecchio ordinamento) in Ingegneria Informatica, di *“Progetto di Elettronica Digitale”*, del corso di Laurea Triennale in Ingegneria Elettronica, e di *“Elettronica digitale II”* del corso di Laurea Triennale in Ingegneria Elettronica presso l'Università degli Studi della Calabria.
- Nell'A.A. 01-02 è stata docente degli insegnamenti di *“Elettronica dei sistemi digitali”*, del corso di Laurea (vecchio ordinamento) in Ingegneria Informatica, e di *“Elettronica digitale”*, del corso di Laurea Triennale in Ingegneria Informatica, presso l'Università degli Studi della Calabria.
- Nell'A.A. 96/97 e' stata responsabile di un Modulo di 50 ore svolto nell'ambito dell'insegnamento di *“Elettronica dei Sistemi Digitali”* per il corso di Laurea (vecchio ordinamento) in Ingegneria Elettronica presso l'Università degli Studi di Reggio Calabria.

### **Lavori di tesi**

Stefania Perri è stata relatore di **oltre 50 lavori di tesi** di laurea, svolti per la laurea in Ingegneria Elettronica e per la laurea in Ingegneria Informatica sia del vecchio (corso di studi quinquennale) sia del nuovo ordinamento.

### **4.3 Attività di supporto alla docenza in corsi universitari**

#### **Esercitazioni**

- Esercitazioni di laboratorio e ciclo di seminari relativi alla progettazione di circuiti digitali aritmetici per l'insegnamento di ***“Elettronica dei Sistemi digitali”*** del corso di **Laurea (vecchio ordinamento)** in Ingegneria Informatica presso la Facoltà di Ingegneria dell'Università degli Studi della Calabria, **negli A.A. 96-97, 97-98, 98-99, 99-00, 00-01.**
- Esercitazioni di laboratorio e ciclo di seminari relativi alla caratterizzazione di dispositivi elettronici per l'insegnamento di ***“Dispositivi Elettronici”*** del corso di **Laurea (vecchio**



**ordinamento)** in Ingegneria Elettronica presso la Facoltà di Ingegneria dell'Università degli Studi di Reggio Calabria, **negli A.A. 98-99, 99-00, 00-01.**

- Esercitazioni di laboratorio e ciclo di seminari relativi alla caratterizzazione di dispositivi elettronici per l'insegnamento di **"Elettronica II"** del corso di **Diploma** in Ingegneria Elettronica presso la Facoltà di Ingegneria dell'Università degli Studi della Calabria, **nell'A.A. 99-00.**
- Esercitazioni di laboratorio e ciclo di seminari relativi alla progettazione di circuiti digitali per l'insegnamento di **"Elettronica dei sistemi digitali II"** del corso di **Diploma** in Ingegneria Elettronica presso la Facoltà di Ingegneria dell'Università degli Studi della Calabria, **nell'A.A. 99-00.**
- Esercitazioni di laboratorio e ciclo di seminari relativi alla realizzazione di amplificatori di potenza ed all'analisi della risposta in frequenza di circuiti ad amplificatori operazionali per l'insegnamento di **"Elettronica II"** del corso di **Diploma** in Ingegneria Elettronica presso la Facoltà di Ingegneria dell'Università degli Studi della Calabria, **nell'A.A. 00-01.**
- Esercitazioni di laboratorio relative alla realizzazione di circuiti raddrizzatori per l'insegnamento di **"Elementi di Elettronica"** del corso di **Laurea Triennale** in Ingegneria Informatica presso la facoltà di Ingegneria dell'Università degli Studi della Calabria, **nell'A.A. 01-02.**

## **5. Attività di servizio scientifico**

### **5.1 Responsabilità di progetti di ricerca nazionali**

Stefania Perri è stata responsabile del progetto di ricerca **"Realizzazione in tecnologia VLSI di unità di calcolo riconfigurabili ad alto parallelismo per processori multimediali"**, finanziato nell'anno 2003 dall'Università degli Studi della Calabria nell'ambito del progetto "Giovani Ricercatori".

Dal 2009 al 2013 è stata responsabile scientifico di unità nel progetto **"Sistemi fotovoltaici ad alta concentrazione ed elevata efficienza"** svolto in collaborazione con Beghelli S.p.a. e finanziato dal Ministero dello Sviluppo Economico nell'ambito del programma Industria 2015.

### **5.2 Collaborazione a progetti di ricerca internazionali**

Stefania Perri collabora o ha collaborato ai seguenti progetti di ricerca internazionali:

- Progetto di ricerca **"VLSI design of low-power high-speed binary adders"**, svolto in collaborazione con il College of Engineering, Idaho State University (USA), conclusosi con la produzione del brevetto USA US 2002/0091744 A1.
- Progetto di ricerca **"New Concepts in Multigigahertz Computation"**, svolto in collaborazione con la University of Rochester, NY, USA.
- Progetto di ricerca **"Smart card security from power attacks"**, svolto in collaborazione con la University of Rochester, NY, USA.

### **5.3 Collaborazione a progetti di ricerca nazionali**

Stefania Perri ha collaborato, **come responsabile del workpackage OR420**, al progetto di ricerca **"Compressore Wavelet Real Time per Immagini ad alta risoluzione"**, svolto in collaborazione con la TechnoSystem development e finanziato dal MIUR DM593/2000.

### **5.4 Letture invitate**

Nell'anno 2003, Stefania Perri è stata invitata a svolgere un ciclo di lezioni nell'ambito del corso **"VLSI Design Project, ECE 262"**, presso la University of Rochester, NY, USA.

## 5.5 Chair di sessioni di convegni internazionali

Nel Dicembre 2003, Stefania Perri ha svolto l'attività di chair nella sessione **"VLSI – Low Power"** della 10th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2003), tenuta a Sharjah, Emirati Arabi.

Nel Luglio 2010 ha svolto l'attività di chair nella sessione **"Application-Oriented Electronics"** della third International Conference on Advances in Circuits, Electronics and Micro-electronics (CENICS 2010), tenuta a Venezia, Italia.

## 5.6 Attività di referee

Stefania Perri svolge o ha svolto la funzione di referee per le riviste ed i congressi internazionali elencati di seguito:

- IEEE Transactions on Image Processing;
- IEEE Transactions on Circuits and Systems for Video Technology;
- IEEE Transactions on Nanotechnology;
- IEEE Transactions on Circuits and Systems II;
- IET Circuits, Devices & Systems;
- IEE Proceedings on Circuits, Devices & Systems;
- IEE Electronics Letters;
- IEEE Transactions on VLSI Systems;
- International Journal of Circuit Theory and Applications
- Journal of Systems Architecture
- International Journal of Electronics
- Journal of Recent Patents on Signal Processing
- The European Conference on Circuit Theory and Design (ECCTD 05);
- Defect and Fault Tolerance Symposium (DFT 05);
- IEEE International Symposium on Circuits and Systems (ISCAS 05);
- IEEE International Symposium on Circuits and Systems (ISCAS 06);
- IEEE International Symposium on Circuits and Systems (ISCAS 07);
- IEEE International Symposium on Circuits and Systems (ISCAS 09);
- IEEE International Symposium on Circuits and Systems (ISCAS 2012);
- IEEE International Symposium on Circuits and Systems (ISCAS 2013);
- IEEE International Symposium on Circuits and Systems (ISCAS 2015);
- IEEE International Symposium on Circuits and Systems (ISCAS 2016);
- IEEE International Symposium on Circuits and Systems (ISCAS 2017);
- IEEE International Symposium on Circuits and Systems (ISCAS 2018);
- International Conference on Field Programmable Logic and Applications;
- Annual Conference of the IEEE Industrial Electronics Society
- IEEE International Conference on Electronics, Circuits and Systems
- IEEE International Conference on Signal Processing and Communication
- IEEE International Conference on Emerging Trends in Engineering and Technology

Nel 2011 è stata membro del Technical Program Committee della International Conference on Advances in Circuits, Electronics and Micro-electronics (CENICS 2011)

Ha inoltre svolto la funzione di peer reviewer per l'Idaho State University (USA) nel processo di assegnamento del Distinguished Researcher Award e nel processo di "promotion to full Professor".

## 5.7 Riconoscimenti e premi di associazioni scientifiche internazionali

Stefania Perri ha ottenuto i seguenti premi e riconoscimenti per l'attività scientifica svolta:

PREMIO: BEST PAPER AWARD

L'articolo scientifico "Evaluating Heterogeneous Architectures based on Zynq AP SOC for Real-Time Video Processing", (degli autori Fanny Spagnolo, Stefania Perri, Pasquale Corsonello), presentato alla International Conference on Advances in Circuits, Electronics and Micro-electronics (CENICS 2017), è stato premiato con il "the BEST PAPER AWARD".

**PREMIO: BEST PAPER AWARD**

L'articolo scientifico "Color Invariant Study for Background Subtraction" (degli autori L.Guachi, G.Cocorullo, P.Corsonello, F.Frustaci,S.Perri), presentato alla International Conference on Advances in Circuits, Electronics and Micro-electronics (CENICS 2016), è stato premiato con il "the BEST PAPER AWARD".

**PREMIO: BEST PAPER AWARD**

L'articolo scientifico "VLSI Circuits for Accurate Motion Estimation" (degli autori S.Perri, P.Corsonello, G.Cocorullo), presentato alla International Conference on Advances in Circuits, Electronics and Micro-electronics (CENICS 2010), è stato premiato con il "the BEST PAPER AWARD".

**PREMIO: BRONZE LEAF**

L'articolo scientifico "A new scheme to reduce leakage in deep-submicron cache memories with no extra dynamic consumption" (degli autori F.Frustaci, P.Corsonello, S.Perri, G.Cocorullo), presentato alla IEEE Conference PRIME'06, è stato premiato con "the bronze leaf certificate".

**INVITED PAPER:**

L'articolo scientifico "A New Reconfigurable Coarse-Grain Architecture for Multimedia Applications" (degli autori M.Margala, M.Lanuzza, S.Perri, P.Corsonello) è stato invitato nella sessione orale "Adaptive and Reconfigurable Circuits for Multimedia" della conferenza NASA/ESA Conference on Adaptive Hardware and Systems (AHS-2007).

**INVITED PAPER:**

L'articolo scientifico "Fast, low-cost adders using carry-strength signals", (degli autori V.Kantabutra, P.Corsonello, S.Perri) è stato invitato per una presentazione orale alla Computer&Business Conference SSGRR 2000, L'Aquila, Luglio 2000.

**SELECTED BEST PAPER:**

L'articolo scientifico "Design-Space Exploration of Energy-Delay-Area Efficient Coarse-Grain Reconfigurable Datapath" (degli autori S.Purhoit, M.Lanuzza, S.Perri, P.Corsonello, M.Margala) è stato selezionato tra i migliori articoli presentati alla International Conference on VLSI design, New Delhi (India), Gennaio 2009.

**SELECTED BEST PAPER:**

L'articolo scientifico "An Efficient and Low-Cost Design Methodology to Improve SRAM-based FPGA Robustness in Space and Avionics Applications" (degli autori M.Lanuzza, P.Zicari, F.Frustaci, S.Perri, P.Corsonello) è stato selezionato tra i migliori articoli presentati al International Workshop on Reconfigurable Computing: Architectures, Tools and Applications, Karlsruhe (Germania), Marzo 2009.

## **5.8 Attività scientifiche svolte all'estero**

Nel periodo Luglio-Agosto 2004, è stata ospitata come "Visitor Scientist" presso l'Università di Rochester (New York – USA).

## **6 Attività di servizio gestionale**

- Da Aprile 2017 è presidente della Commissione didattica del Corso di Laurea in Ingegneria Elettronica.

- Dal Gennaio 2008 al Dicembre 2009, Stefania Perri è stata membro della commissione per l'ammissione al Corso di Laurea Specialistica in Ingegneria Elettronica.
- Nell'A.A. 2009-2010 è stata membro aggregato della commissione esami di stato di abilitazione all'esercizio della professione di Ingegnere presso l'Università degli Studi della Calabria.
- Dal Marzo 2003, è membro del comitato di autovalutazione del Corso di Laurea in Ingegneria Elettronica presso l'Università degli Studi della Calabria.
- Dal Gennaio 2004 al Maggio 2009, è stata membro del Comitato per le Pari Opportunità della Facoltà di Ingegneria dell'Università degli Studi della Calabria. Nell'ambito di tale attività, per l'attuazione di un programma di incentivazione per le studentesse iscritte a corsi di Laurea della Facoltà di Ingegneria, ha ottenuto **dall'Assessorato al Lavoro e alle Politiche Giovanili della Provincia di Cosenza il finanziamento di sei borse di studio per l'A.A. 2005/2006 e di quattro borse di studio per l'A.A. 2009-2010.**
- Nell'A.A. 02-03, è stata responsabile del monitoraggio della carriera studenti per il Corso di Laurea in Ingegneria Elettronica presso l'Università degli Studi della Calabria.
- Nell'A.A. 02-03, è stata componente della commissione Socrates della Facoltà di Ingegneria presso l'Università degli Studi della Calabria.
- Dall'Ottobre 2003 all'Ottobre 2008, è stata membro del Collegio dei Docenti del Corso di Dottorato in Ingegneria Elettronica, presso l'Università degli Studi di Reggio Calabria.
- Dall'Ottobre 2008 all'Ottobre 2012 è stata membro del Collegio dei Docenti del Corso di Dottorato in Psicologia della programmazione e intelligenza artificiale, presso l'Università della Calabria.
- Da Novembre 2012 è membro del Collegio dei Docenti del Corso di Dottorato in Information and Communication Technologies (ICT), presso l'Università della Calabria.